

一种兼容 AMBA 总线的实时高效静态存储管理 IP 的设计与实现

王文丞, 奉世玉, 陈 川, 聂泽东, 王 磊
(中国科学院 深圳先进研究院, 广东 深圳 518055)

摘 要: 设计了一种兼容 AMBA2.0 AHB 总线的实时高效存储管理 IP——静态存储管理 IP. 与虚拟存储管理技术相比, IP 可以为实时系统芯片的高实时性提供良好的保障, 它完成一次存储器访问最多需要 2 个时钟延时, 最少可以达到 0 延时传输. 同时它具有结构简单、可支持 8 个 64 M 的静态存储器、可编程控制以及进行不同数据宽度的 Burst 传输等特点. 设计采用结构完全并行、时序完全同步的状态机设计思想, 采用 SIMC. 18 工艺进行流片, 系统芯片整体面积为 $5\text{ mm} \times 3.5\text{ mm}$, 测试结果与设计目标基本一致.

关键词: 实时系统芯片; 静态存储管理; AMBA2.0 AHB 总线; Verilog HDL

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2012)10-0140-04

Design and Implementation of a Real Time and High Performance Static Memory Controller IP Compatible with AMBA Bus

WANG Wen-cheng, FENG Shi-yu, CHEN Chuan, NIE Ze-dong, WANG Lei

(Shenzhen Institutes of Advanced Technology, Chinese Academy of Sciences, Shenzhen 518055, China)

Abstract: A static memory controller IP compatible with AMBA2.0 bus was designed. Compared with virtual memory management, this IP highly enhanced the real-time ability of a real-time system chip since the maximum delay of one access was two clock cycles and the minimum delay was zero. Meanwhile this IP was with a simple structure and supported eight configurable 64 MB banks to control different static memories. A structure-paralleled and timing-synchronous design was adopted. The static memory controller was implemented with SMIC 0.18 μm process and the whole SoC area was $5\text{ mm} \times 3.5\text{ mm}$. The test results were in good agreement with the design specification.

Key words: real-time system chip; static memory controller IP; AMBA 2.0 AHB Bus; Verilog HDL

1 引言

目前, 应用比较广泛的存储管理技术是虚拟存储管理^[1-2]. 虚拟存储管理一般都会引入 Cache 结构存储器. 其经典结构如图 1 所示. 虚拟存储一般由 TLB(Transfer Look-aside Buffer)、转换表遍历、访问控制、Cache 写缓冲和 Cache 控制等部分组成^[3-5].

然而在很多应用场合, 没有必要采用虚拟存储管理结构. 此外由于虚拟存储器中经常对页进行换

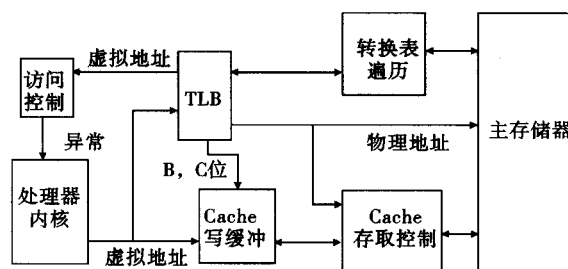


图 1 虚拟存储管理结构图

入换出操作, 内存中页命中率和换入换出耗费的时间严重破坏了整个系统的确定性^[6], 所以这种机制

不能提供高实时系统所要求的时间确定性。

2 静态存储管理 IP 功能及结构

2.1 静态存储管理 IP 的功能

静态存储管理 IP 具有结构简单和高实时性的特征。此外它还有很多特点,表现如下:

- 完全兼容 AMBA2.0 AHB 系统总线协议,从而很大程度地提高静态存储管理 IP 的重复利用率^[7-8];

- 可以支持 8 个容量为 64 MB 的存储器 (Bank0 ~ Bank7), 存储器类型可以是 ROM、SRAM、无总线锁存的 SRAM 等;能独立对 8 个存储器进行寄存器编程控制,每个 64 MB 的存储器配置了独立的控制寄存器;

- 支持多种数据宽度的静态存储器读写操作,比如数据宽度为 8 比特、16 比特和 32 比特的存储器。

2.2 静态存储管理 IP 的结构

静态存储管理 IP 由四部分组成:包括控制寄存器组 (Controller Register)、控制状态机接口模块 (Controller FSM Interface)、传输和控制状态机 (Transfer and controller FSM) 以及存储器接口模块 (Memory Interface)。其结构框图如图 2 所示。

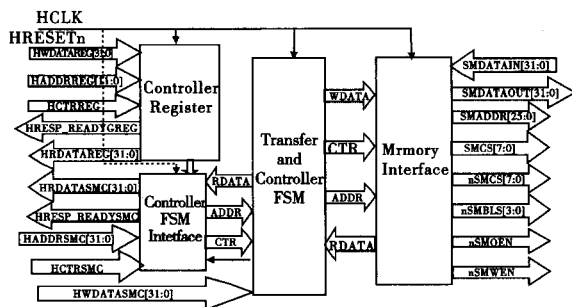


图 2 静态存储管理模块结构框图

在图 2 中,左边信号为 AHB 标准信号,右边为八个存储器的接口信号。当系统芯片上电复位后,控制寄存器组对所有控制寄存器进行初始化;当系统对存储器进行访问前,必须先读出控制寄存器的值,如果寄存器的值符合访问要求,就可以直接对存储器进行数据传输,如果寄存器的值不符合传输要求,主机必须先对寄存器配置正确的值,再对存储器进行数据传输;控制状态机接口模块通过双向的多路选择器选择出当前传输所需要的控制信号,这样就使得八个 Bank 共用一个传输和控制状态机模块得

以实现;传输和控制状态机与存储器接口模块根据主机给出的控制、地址信号以及控制寄存器中的值进行有序的数据传输,实现了对存储器的非连续、无等待的读写操作,非连续、有等待的读写操作,连续、无等待的读写操作和连续、有等待的读写操作;同时还实现了当存储器数据宽度与处理器数据宽度不匹配时的读写操作以及读写转换等功能。

3 静态存储管理 IP 的设计实现

3.1 读操作的设计实现

读操作是由数据传输状态机、控制信号产生状态机和 HREADYOUT_RD 信号产生状态机组成,状态转移图如图 3、5、6 所示。它们在结构上采用了完全并行的结构,三种状态机根据相应的控制信号并行完成各自的任务,但是在时序上能实现完全同步。这种结构的设计思想可以降低设计复杂度和提高系统的稳定性。以下以连续、无等待的读操作为例详细介绍各个状态的实现过程以及如何在时序上实现完全同步。

AHB 传输总是以一个非连续传输开始,所以连续传输是跟在非连续传输之后的一种方式。在连续,无等待的读操作时 HTRANS[1:0] 为 2'b11,主机配置控制寄存器中 WSTRD 域为 0 值,即两比传输之间不会插入等待状态。其数据传输状态机的状态转换图如图 3 所示。图中状态转换条件说明见表 1。

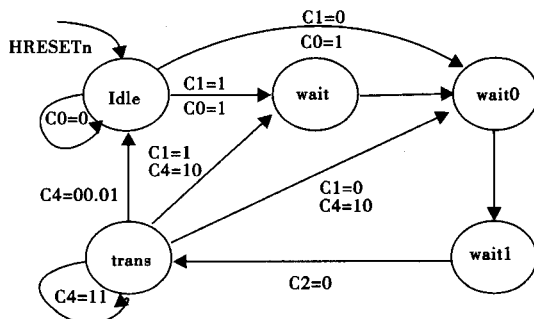


图 3 连续、无等待的读操作数据传输状态转换图

系统复位,状态机进入空闲状态 (Idle) 时,主机先对控制寄存器相关位进行配置,配置好相关域接着就可以发送读操作指令,如果 Bank 控制寄存器 SMBCRx [31:30] 配置为 delay1 类型的存储器,状态机进入 wait0 状态;如果配置为 delay2 类型存储器,状态机进入 wait 状态 (delay1 类型存储器是在控制信号给出的下一个时钟就有稳定的数据在数

表 1 状态机转换条件说明表

转换条件	含义	说明
c0	主机是否有读写操作	为低电平没有读写操作, 为高电平有读写操作
c1	控制寄存器中的 MT[1:0] 域	为低电平, 表示是片内存储器或者 delay1 的片外存储器; 为高电平, 表示 delay2 的片外存储器。
c2	控制寄存器中所有延时信息, 如控制寄存器中 WSTRD 和 WSTWR 域	如果为零则直接进行数据传输, 如果是非零值, 进入等待状态。
c3	延时时间是否到达?	通过计数器计数与 WSTRD 和 WSTWR 域的值进行比较, 如果相等则退出等待状态, 否则继续等待。
c4	HTRANS[1:0]	00, 01 返回空闲状态; 10 非连续传输状态; 11 连续传输状态;
c5	HSIZE[1:0] 与寄存器 MW[1:0] 的关系	HSIZE 定义的宽度大于 MW 定义的宽度 c5 非 0; 其他情况 c5=0

据总线上, 而 delay2 类型存储器是在控制信号给出后的第二个时钟才有稳定的数据在数据总线上); 在 wait1 状态, 状态机会根据有没有延时配置进行跳转, 无等待的读操作没有延时配置, 因此状态机直接进入传输状态(trans); 在传输状态, 状态机会根据 HTRANS[1:0] 进行跳转, 如果为非连续传输, 还要根据存储器类型跳转到 wait0 或者 wait 状态; 如果为连续传输, 则保持该状态不发生跳转, 否则跳回空闲状态。其传输时序如图 4 所示。

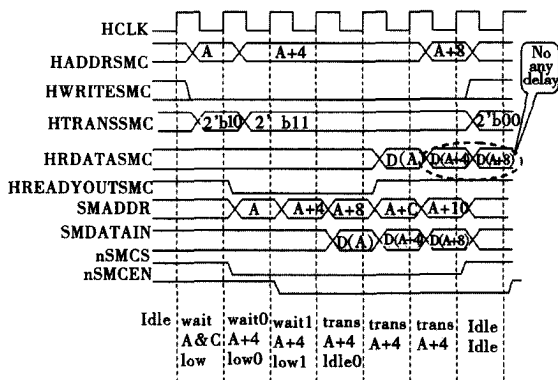


图 4 连续、无等待的读操作时序图
(存储器类型为 delay2)

连续、无等待的读操作时序图以 delay2 类型存储器为例, 数据传输状态中加入了 wait 状态。当主机第一次以非连续的操作读 A 地址的数据, 静态存储管理模块根据存储器的类型会有 2 到 3 个时钟延时, 但当主机以连续的操作读 A+4 和 A+8 地址的数据, 就不需要任何等待时钟周期, 即前一时钟发出地址和控制信号, 下一个时钟就可以采到相应地址的数据。从图 4 可以看出当主机发出的指令为连续读传输指令时, 静态存储管理模块可以现无延时数据传输, 这样就可以满足整个系统芯片高实时性的性能要求。

连续、无等待的读操作控制信号产生状态机(控制信号包括地址信号和片选信号, 即 A&C)如图 5 所示, 当系统复位后状态机进入空闲状态(Idle), 主机发出读操作指令时, 状态机根据 c5 的值(见表 1)选择跳转。此处 c5=0, 所以直接进入控制信号传输状态(A&C), 状态机将根据 c2 和 c4 选择不同的状态, 此处 c2=0 为无延时传输, 若 c4=2'b11, 一直停在 A+4 状态, 地址不断加 4 (一直进行 32bit 传输); 若 c4=2'b10, 重新开始一次非连续传输, 再发出新的控制信号; 若 c4=2'b00, 2'b01, 状态机返回空闲状态。

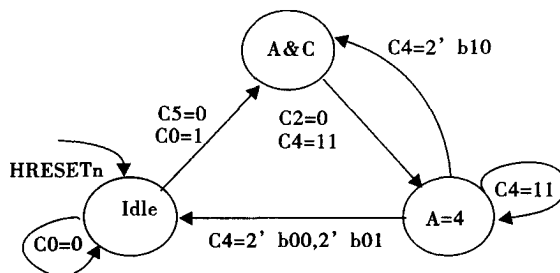


图 5 连续、无等待的读操作控制信号产生状态转换图(此处不需要考虑存储器类型, 即 delay1 和 delay2 情况相同)

图 6 中显示了连续、无等待的读操作 HREADYOUT-RD 信号产生状态转换, 当系统复位后状态机进入空闲状态(Idle), 此状态 HREADYOUT-RD 为高, 当主机发出读操作指令时, 根据存储器的类型选择跳转到 low 或者 low0 状态, 此图是以 delay2 类型为例, 所以进入了 low 状态, 这时 HREADYOUT-RD 信号拉低; 再进入 low0、low1 状态, HREADYOUT-RD 信号保持为低; 连续传输状态下 HREADYOUT-RD 应该为高, 所以增加了 Idle0 状态来完成 HREADYOUT-RD 信号的置高。

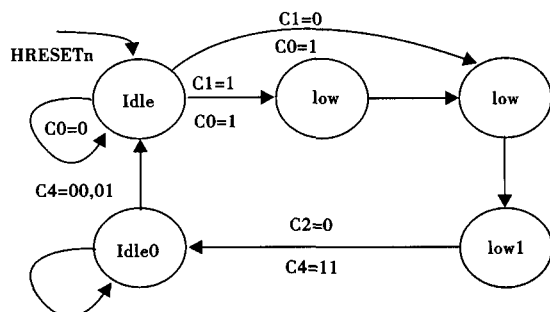


图6 连续、无等待的读操作 HREADYOUT_RD 状态转换图(存储器类型为 delay2)

以上是连续、无等待读操作的详细实现过程,此外,静态存储管理 IP 还实现了非连续、无等待,非连续、有等待,连续、有等待的读操作以适应实时系统芯片的实际应用,各种读操作均是由 3 种状态机同步并行完成,其实现方法与连续、无等待读操作类似。

3.2 写操作的设计实现

从时序图 7 中可以看出数据处理模块的实现方法。首先说明二个信号 iSMDATAOUT 和 iiSMDATAOUT,其中 iSMDATAOUT 是把主机要写入存储器的数据(HWDATASMC)延时一个时钟周期而得到,iiSMDATAOUT 信号是对其延时二个时钟周期得到。存储器的数据输入就是根据存储器类型(依控制寄存器中 MT 域的配置而定)在 HWDATASMC、iSMDATAOUT 和 iiSMDATAOUT 三个总线中选择其一,也就是一个多路选择器的原理,MT=2'b00 代表无延迟类型的存储器(delay0 类型),数据输入选择 HWDATASMC;MT=2'b10 代表 delay1 类型的存储器,数据输入选择

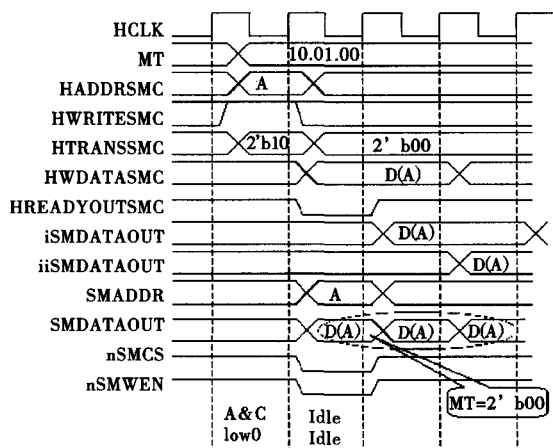


图7 非连续、无等待的写操作时序图

iSMDATAOUT;MT=2'b01 代表 delay2 类型的存储器,数据输入选择 iiSMDATAOUT;数据传输处理模块再利用控制信号产生状态机给出的在时序上与存储器类型匹配的控制信号以及根据 AHB 总线写操作的特点就可以对数据进行可靠的传输了。

考虑到静态存储 IP 的实际应用,写操作同样也设计了非连续、有等待,连续、无等待,连续、有等待的写操作。此外,静态存储管理 IP 还具有处理存储器数据位宽与处理器数据位宽不匹配的读写操作功能以及读写转换的功能,这些功能的实现均是由基本的读写操作构成,在此不再做具体介绍。

4 结束语

设计了一种静态存储管理 IP,此设计为整个医学系统芯片的高实时性提供了保障。该存储管理 IP 采用了结构完全并行,时序完全同步的状态机设计思想,实现了对不同类型存储器的非连续、无等待,非连续、有等待,连续、无等待,连续、有等待的读写操作,以及存储器数据位宽与处理器数据位宽不匹配时的读写操作和读写转换等操作,设计采用 smic 0.18 μm CMOS 工艺流片,整个数字部分芯片面积为 5 mm $\times$ 3.5 mm。测得此 IP 对 delay0、delay1、delay2 这三种类型静态存储器各种读写管理无误。测试结果验证了本设计的正确性。

参考文献:

- [1] 张萌,汤佳健,方信昀,等.基于 ARM7 的 SOC 存储管理单元的实现[J].科技信息,2008(35):857-858.
- [2] 陈夏文,蔡敏.存储管理单元设计[J].微电子学与计算机,2004,21(9):164-166.
- [3] 蔡珊.嵌入式 32 位 RSIC 处理器中存储管理单元的研究与设计[D].西安:西安电子科技大学,2009.
- [4] 郭亚鹏,张盛兵,付江平.支持 IA-32 保护模式的存储管理单元的设计与实现[J].微电子学与计算机,2007,24(5):113-115.
- [5] Nie Z D, Lei Wang. A low power biomedical signal processor ASIC based on hardware software codesign[C] // Annual International Conference of the IEEE Engineering in Medicine and Biology Society (IEEE EMBS), Minnesota; IEEE, 2009: 2559-2562.
- [6] 马忠梅,徐琰,叶青林,ARM Cortex 微控制器教程[M].1 版.北京:北京航空航天大学出版社,2010.

(下转第 147 页)

- (2) 检查标签对于无效命令的响应情况;
- (3) 检查标签对有效命令是否响应正确.

4 功能覆盖率模型

度量功能覆盖的目的就是从器件功能角度度量验证进程^[6]. 根据被测设计的特点, 功能覆盖率模型包括两个覆盖率组: command 组和 flag 组. command 组内设置了 20 个仓 (bins), 即对每个命令都建立了一个仓; flag 组包含 7 个仓, 对应 flag 的前 7 个位. 图 5 所示为 command 组中仓的命中情况.

Bins NAME	COUT	AT_EAST
eas_alarm	1	1
lock_eas	1	1
reset_eas	1	1
set_eas	1	1
fas_inv_read	1	1
inv_read	1	1
get_m_blk_sec_st	1	1
get_system_info	1	1
lock_dsfd	1	1
write_dsfd	1	1
lock_afi	1	1
write_afi	1	1
reset_to_ready	1	1
select	1	1
read_multi_block	1	1
lock_block	1	1
write_single_block	1	1
read_single_block	1	1
stay_quiet	1	1
inv	1	1

图 5 command 功能覆盖报告

5 结束语

文中所述的验证平台结构有良好的可重用性.

稍加修改验证平台接口部分, 就可以用来验证符合协议的被测设计. 由于验证平台结构的特点, 也可以经过修改后来验证其他设计, 节省了重新开发验证平台的时间. 本平台已在实际工程中应用, 实践证明, 该平台还具有快速、高效的特点. 在以后, 将加入断言技术, 以使该平台更加完善.

参考文献:

- [1] Janick Bergeron. Writing testbenches using systemverilog [M]. Springer Science + Business Media, Inc, 2006.
- [2] Janick Bergeron, Eduard Cerny, Andrew Nightingale, et al. Verification Methodology Manual for System-Verilog [M]. Berlin: Springer, 2006.
- [3] 吴英攀, 于立新, 薛可. 基于层次化验证平台的存储器控制器功能验证 [J]. 微电子学与计算机, 2009, 26 (2): 25-28.
- [4] Mike Mintz, Robert Ekendahl. Hardware Verification with SystemVerilog [M]. Berlin: Springer Science + Business Media, LLC, 2007.
- [5] Bruce Wile, John C Goss, Wolfgang Roesner. Comprehensive Functional Verification: The Complete Industry Cycle [M]. [S. L.]: Morgan Kaufmann Publishers, 2005.
- [6] 朱车壮, 陈岚. 基于覆盖率驱动的 SoC 验证技术研究 [J]. 微电子学与计算机, 2011, 28(11): 48-51.

作者简介:

李晶晶 男, (1986—), 硕士. 研究方向为嵌入式芯片与系统设计.

王德明 男, (1988—), 博士. 研究方向为 RFID 与 IC 设计.

谭洪舟 男, (1965—), 博士生导师, IEEE 高级会员. 研究方向为 IC 设计、RFID 技术、盲信号处理、智能信息处理及 VLSI 实现.

(上接第 143 页)

- [7] ARM Company. ARM7TDMI (V3) Technical Reference Manual. 2001.
- [8] ARM Company. AMBA Specification (Rev 2.0) Technical Reference Manual. Cambridge: ARM company, 2008

作者简介:

王文丞 男, (1985—), 硕士研究生. 研究方向为基于 ARM 的 SOC 集成电路设计.

王 磊 男, (1973—), 博士, 博士生导师. 研究方向为生物医学系统芯片设计与应用.